

pst fu

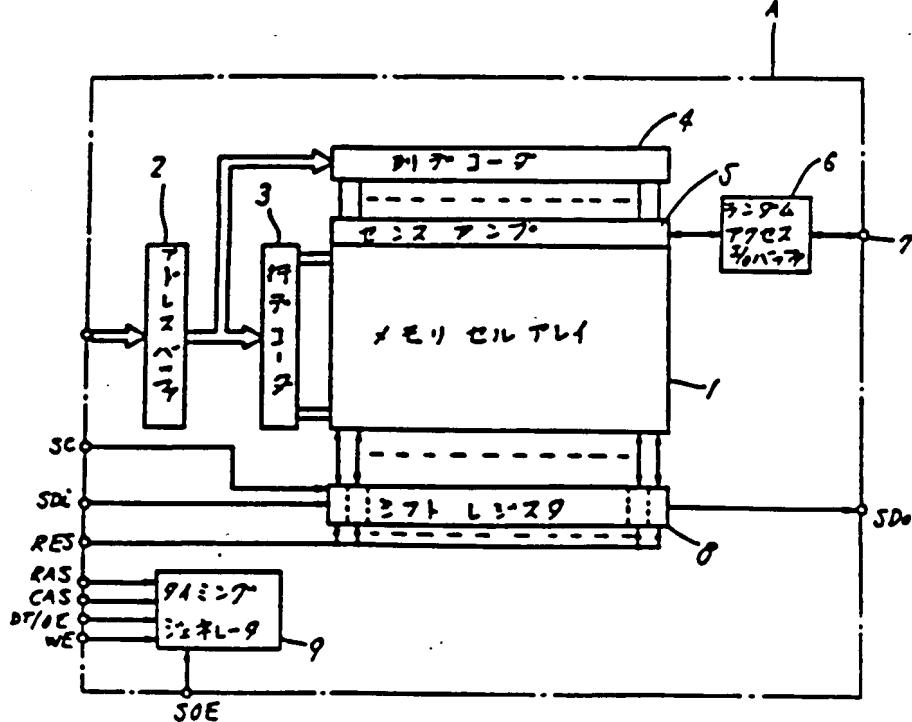
PROG:

-1-

AN - 88-106989
TI - SEMICONDUCTOR MEMORY DEVICE
PA - (2000510) HITACHI LTD; (2470864) HITACHI MICRO COMPUT ENG LTD
IN - KOYAMA, HIDEAKI; SAEKI, MITSUHIRO
PN - 88.05.12 J63106989, JP 63-106989
AP - 86.10.24 66JP-251708, 61-251708
SO - 88.09.22 SECT. P, SECTION NO. 761; VOL. 12, NO. 354, PG. 112.
IC - G11C-011/34
JC - 45.2 (INFORMATION PROCESSING--Memory Units); 42.2 (ELECTRONICS--Solid State Components).
AB - PURPOSE: To clear all of the data at high speed, by constituting a shift register or a data register in a memory cell array with a flip-flop capable of being set/reset, and enabling all of the bits of the register to be reset or set simultaneously by a control signal.
CONSTITUTION: The shift register 8 is constituted of the flip-flops capable of being reset simultaneously by the control signal supplied from the outside. After all of the bits of the shift register 8 are reset by the control signal RES, the data of the shift register 8 are transferred comprehensively to memory cell rows selected by a row address decoder 3. Afterwards, the data of the shift register 8 are transferred to all of the memory cell rows changing row addresses one by one. In such way, it is possible to clear all of the data in the memory cell array in a short time.

SS 2 /C?

USER:



⑫ 公開特許公報 (A) 昭63-106989

⑬ Int.CI.
G 11 C 11/34

識別記号

府内整理番号
K-8522-5B

⑭ 公開 昭和63年(1988)5月12日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 半導体記憶装置

⑯ 特願 昭61-251708

⑰ 出願 昭61(1986)10月24日

⑱ 発明者 小山 英昭 東京都小平市上木本町1479番地 日立マイクロコンピュータエンジニアリング株式会社内

⑲ 発明者 佐伯 光弘 東京都小平市上木本町1479番地 日立マイクロコンピュータエンジニアリング株式会社内

⑳ 出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 出願人 日立マイクロコンピュータエンジニアリング株式会社 東京都小平市上木本町1479番地

㉒ 代理人 弁理士 小川 勝男 外1名

明細書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

1. ランダム・アクセス・ポートとシリアル・ポートとを備えた半導体記憶装置において、シリアル・ポート側に設けられ、メモリセルアレイの一一行分のデータを保持可能なレジスタを、セットもしくはリセット可能なフリップフロップで構成し、外部から供給される制御信号に基づいて上記レジスタの全ビットを同時にセットもしくはリセットできるように構成してなることを特徴とする半導体記憶装置。

2. 上記レジスタのセットもしくはリセットを指示する上記制御信号を入力する専用のコントロール端子が設けられてなることを特徴とする特許請求の範囲1項記載の半導体記憶装置。

3. 上記レジスタのセットもしくはリセットを指示する上記制御信号は、外部から供給される複数の信号の組み合せに基づいて形成されるように

されてなることを特徴とする特許請求の範囲第1項記載の半導体記憶装置。

3. 発明の詳細な説明

【産業上の利用分野】

この発明は、半導体記憶技術さらには半導体記憶装置におけるデータのクリア方式に関する特徴的な技術に関し、例えばランダム・アクセス・ポートとシリアル・ポートとを有するデュアル・ポート・メモリに利用して有効な技術に関する。

【要束の技術】

CRT表示装置のような表示装置を備えたシステムにおいては、システムを最初にスタートさせるときなどに、画面データを格納するフレームバッファ内のデータをクリアする必要がある。従って、RAM(ランダム・アクセス・メモリ)を使ってフレーム・バッファを構成した場合には、全ビットにいろいろデータを書き込んでやらなければならない。

一方、近年、画面上に表示されたメモリとして、デュアル・ポート・メモリが種々開発されている。

これらのデュアル・ポート・メモリの中には、【発】日立製作所製デュアル・ポート・メモリH M 5 3 4 6 2 のように、シリアル出力ピンの他にシリアル入力ピンを有するものがある。

シリアル入力ピンを有するデュアル・ポート・メモリでは、そのシリアル入力ピンからデータの書き込みが行えるため、ランダム・アクセスによるデータ書き込みでクリアを行う場合に比べてかなり高速なクリア動作が可能である。

一方、シリアル入力ピンを有しないデュアル・ポート・メモリであっても、データ・レジスタを行するものにおいては、ランダム・アクセス・ポートから1行分のセルをクリア（書き込みによるクリア）しておいてから、この行のデータをデータ・レジスタに転送した後、これをメモリセルアレイのすべての行に次々と転送してやることで比較的速く全面クリアを行うことができる（日経マグロウヒル社発行「日経エレクトロニクス」1985年5月20日号、No. 369、P195頁～第219頁参照）。

レジスタを、セット、リセット可能なフリップフロップで構成し、外部から供給される制御信号によりレジスタの全ビットを同時にリセットもしくはセットできるようにするものである。

【作用】

上記した手段によれば、データの書き込みもしくはシリアル転送を行うことなく一括してレジスタへの初期データの設定を行えるようになって、メモリセルアレイ内の全データのクリアの高速化を図るという上記目的を達成することができる。

【実施例】

第1図には、本発明をデュアル・ポート・メモリに適用した場合の一実施例が示されている。

特に制限をれないが、図中一点鎖線で囲まれた各四角ブロックは單結晶シリコン基板のようないわゆる半導体チップ上において形成される。

周図において、1は、例えば 1024×256 ビットのようなマトリックスに構成されたメモリセルアレイで、このメモリセルアレイ1はアドレスバッファ2を介してアドレスマルチプレス方式

【発明が解決しようとする問題点】

しかしながら、シリアル入力ピンを有するデュアル・ポート・メモリにおいては、各行ごとにデータを入れてやる必要があるためシリアル転送の分だけクリアが遅くなる。

また、データ・レジスタを行するデュアル・ポート・メモリにおいては、最初の1行分のセルのクリア（書き込み）にかなり時間を要するという問題点がある。

この発明の目的は、メモリセルアレイ内のデータのクリアが高速で行えるようなデュアル・ポート・メモリを提供することにある。

この発明の構成ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図から明らかになるであろう。

【問題点を解決するための手段】

本圖において図示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

すなわち、メモリセルアレイの一行分のデータを保持可能なシフト・レジスタもしくはデータ・

取り込まれるアドレス信号によってランダム・アクセス可能に構成されている。

すなわち、外部から供給される制御信号RASに同期してアドレスバッファ2に取り込まれた行アドレスは、行アドレス・デコーダ3に供給されてデコードされ、また、制御信号CASに同期して取り込まれた列アドレスは、列アドレス・デコーダ4に供給されてデコードされる。

そして、行アドレス・デコーダ3により選択されたワード線と、列アドレス・デコーダ4により選択されたデータ線（4本、8本～2ⁿ本）の交叉に位置するメモリセルが選択される。制御信号WEがハイレベルにされている読み出し時には、選択されたメモリセルのデータがセンスアンプ5によって増幅され、ランダム・アクセス入出力バッファ6を介してパラレルデータ入出力端子7より外部へ出力される。一方、制御信号WEがローレベルにされている書き込み時には、選択されたメモリセルに対し、そのときパラレルデータ入出力端子7に供給されているデータがセンスアンプ5を

介して書き込まれる。

センスアンプが接続されたデータ線の反転側には、例えば1024ビット構成のシフト・レジスタ8が接続されている。特に制限されないが、この実施例ではシリアル入力端子SD1より入力されたシリアル・データが、外部から供給されるシリアル・クロックSCに同期して次々と取り込まれ、シフトされるようになっている。そして、シフト・レジスタ8が一杯になると、それらのデータは一挙してメモリセルアレイ1に伝送され、その時、行アドレス・コード3によって選択状態にされているワード線に接続されているメモリセルに書き込まれる。

また、シリアル・ポートからの読み出し時には、行アドレス・コード3によって選択されたメモリセル行のデータが読み出されてシフト・レジスタ8にパラレルに伝送され、シリアル・クロックSCに同期してシリアル出力端子SD0より外部へ出力される。

しかし、この実施例では、上記統一変換段換

用のシフト・レジスタ8がセット、リセット可能なフリップフロップで構成されており、これらのフリップフロップは外部から供給される制御信号RESによって同時にリセット（もしくはセット）可能にされている。

使って、上記制御信号RESによってシフト・レジスタ8の全ビットをリセットしてから、行アドレス・コード3によって選択されたメモリセル行に対して、シフト・レジスタ8のデータを一括して伝送させる。その後、次々と行アドレスを変えながら全メモリセル行に対してシフト・レジスタ8のデータの伝送を行う。このようにすれば、シフト・レジスタ8からメモリセルアレイ1へのデータの伝送のみで全メモリセルのデータをクリアすることができ、シフト・レジスタ8へのデータの入力が全く不要となる。そのため、短時間でメモリセルアレイの全データを“0”もしくは“1”にクリアすることができるようになる。

なお、上記実施例におけるメモリセルアレイ1とシフト・レジスタ8との間のデータの伝送は、

例えば外部から供給されるデータ伝送制御信号DTによって制御される。この場合、データ伝送制御信号DTの入力端子と出力コントロール用の制御信号OE2の入力端子とを並用することができる。

同様に、シリアルデータの入力端子SD1と出力端子SD0とを並用させることもできる。また、その場合、外部からシリアル入力とシリアル出力の切換えを用意するための制御信号SOEを供給してやるようにしてやればよい。

上記実施例のメモリには、外部から供給される各種制御信号RAS、CAS、OE、WEやSD2などに基づいて、内部のコード3、4やシフト・レジスタなどへ供給するタイミング信号を形成するタイミングジェネレータが設けられている。

なお、上記実施例では、シリアル・ポート間にシフト・レジスタ8を設けたものについて説明したが、シフト・レジスタ8の代わりにメモリセルアレイ1から読み出されたデータを保持するデータ・レジスタと、このデータ・レジスタに保持さ

れたデータを順次選択して出力させるセレクタを設けた構成にしてもよい。その場合、データ・レジスタをセットもしくはリセット可能なフリップフロップで構成し、外部からの制御信号RESでリセットもしくはセットをせらるようすればよい。

また、上記実施例ではシフト・レジスタ8がメモリセルアレイ1に接続されているが、シフト・レジスタ8とメモリセルアレイ1との間に伝送ゲートを設けるようにしてもよい。シフト・レジスタの代わりにデータ・レジスタを設けた場合も同様である。

さらに、上記実施例では、シフト・レジスタ8をリセットもしくはセットをせる制御信号RESを外部から与えるようにしているが、他の制御信号（例えばRASとCAS）の組合せによって、内部のタイミング・ジェネレータでシフト・レジスタ8をリセットもしくはセットをせる信号を形成するようにしてもよい。このようにすれば、デュアルポート・メモリに高速データクリア機能を持たせるための専用の端子をわざわざ設ける必

質がない。

以上説明したごとく上記実施例は、メモリセルアレイの一行為のデータを保持可能なシフト・レジスタもしくはデータ・レジスタをセット、リセット可能なフリップフロップで構成し、外部から供給される制御信号によりレジスタの全ビットを同時にリセットもしくはセットできるように構成したので、データの書き込みもしくはシリアル転送を行うことなく一挙してレジスタへの初期データの設定を行えるという作用により、セットもしくはリセットされたレジスタのデータを、行アドレスで一行ごとにメモリセルアレイへ転送をせるのみでメモリ内の全データのクリアを高速で行うことができるようになるという効果がある。

また、上記レジスタのセットもしくはリセットを指示する制御信号を、外部から供給される複数の信号の組合せに基づいて形成をせるようにしたので、新たに端子を増設することなく一挙してレジスタの初期設定が行えるという作用により、パッケージを大型化させずに高速クリア機能を実現

することができるという効果がある。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で用い変更可能であることはいうまでもない。例えばシフト・レジスタ8の代わりにデータ・レジスタを設けるようにしたデュアル・ポート・メモリにおいては、データ・レジスタを 256×4 ビットのような構成にするとともに、4本のシリアル入出力端子を設けるようにしてもよい。

以上の説明では主として本発明者によってなされた発明をその背景となつた利用分野である半導体メモリに付随するデュアル・ポート・メモリに適用したものについて説明したが、この発明はそれに限らず、読み出し書き込み可能なメモリー一般に利用できる。

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

すなわち、ランダム・アクセス・ポートとシリアル・ポートとを備えた半導体記憶装置において、データの書き込みもしくはシリアル転送を行うことなく一挙してレジスタへの初期データの設定を行えるようになり、これによって、メモリ内の全データのクリアが高速で行えるようになる。

4. 図面の簡単な説明

第1図は本発明をデュアル・ポート・メモリに適用した場合の一実施例を示すブロック図である。

- 1…メモリセルアレイ、2…アドレスパッファ、3…行アドレス・デコーダ、4…列アドレス・デコーダ、5…センスアンプ、6…ランダム・アクセス入出力バッファ、7…パラレルデータ入出力端子、8…レジスタ(シフト・レジスタ)、9…タイミング・ジェネレータ。

代理人弁理士 小川勝男



第 1 図

